

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-70049

(43) 公開日 平成8年(1996)3月12日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8238			
	27/092			
	27/04			
		H 0 1 L	27/ 08	3 2 1 H
			27/ 04	H
審査請求 未請求 請求項の数1 O L (全 3 頁) 最終頁に続く				

(21) 出願番号 特願平6-203839

(22) 出願日 平成6年(1994)8月29日

(71) 出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 福本 晴雄

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72) 発明者 田中 裕章

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72) 発明者 鶴田 和弘

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

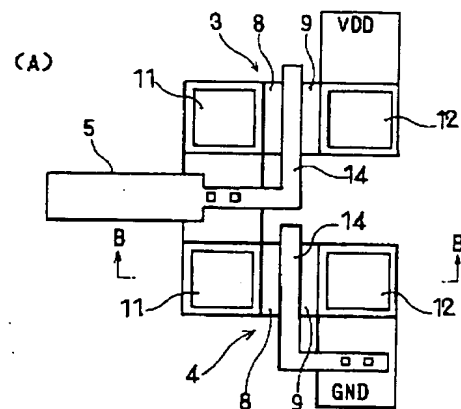
(74) 代理人 弁理士 飯田 堅太郎

(54) 【発明の名称】 入力保護回路

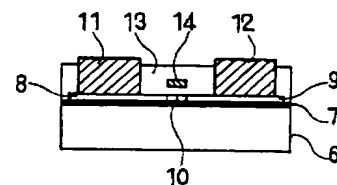
(57) 【要約】

【目的】 放熱作用を向上させ、熱による障害の発生を防止可能な入力保護回路を提供すること。

【構成】 CMOS論理回路2を保護するためのFET 3, 4を有する入力保護回路1である。入力保護回路1は、CMOS論理回路2と共にSOI素子として構成される。FET 3, 4のソース領域8及びドレイン領域9の各コンタクト11, 12の面積は、CMOS論理回路2のプロセスで使用される最小ルール面積よりも大きく設定されている。



(B)



【特許請求の範囲】

【請求項 1】 CMOS 論理回路を保護するための FET を有する入力保護回路であって、前記 CMOS 論理回路と共に SOI 素子として構成される入力保護回路において、前記 FET のソース領域及びドレイン領域の各コンタクト面積を、前記 CMOS 論理回路のプロセスで使用される最小ルール面積よりも大きく設定したことを特徴とする入力保護回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、入力保護回路、詳しくは、CMOS (Complementary Metal Oxide Semiconductor) 論理回路を静電破壊から保護するための入力保護回路に関する。

【0002】

【従来の技術】一般に、CMOS 論理回路を静電破壊から保護するための入力保護回路は、FET (Field Effect Transistor) や抵抗などを用い、CMOS 論理回路の静電耐量に応じて上記保護素子の断面積を増大させる構成をとっている。

【0003】

【発明が解決しようとする課題】しかしながら、CMOS 論理回路及び入力保護回路が、薄膜の SOI (Silicon On Insulator) 素子として構成される場合、入力保護回路が SiO₂ 膜の真上に形成されているため、放熱が著しく低下し、熱による障害が生じるおそれがある。

【0004】本発明は、上記問題点を解決し、放熱作用を向上させ、熱による障害の発生を防止可能な入力保護回路を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明に係る入力保護回路は、CMOS 論理回路を保護するための FET を有する入力保護回路であって、前記 CMOS 論理回路と共に SOI 素子として構成される入力保護回路において、前記 FET のソース領域及びドレイン領域の各コンタクト面積を、前記 CMOS 論理回路のプロセスで使用される最小ルール面積よりも大きく設定したことを特徴とする。

【0006】

【発明の作用効果】本発明に係る入力保護回路において、最小ルール面積とは、一般に、CMOS (Complementary Metal Oxide Semiconductor) 論理回路のプロセスにおいては、製造上の理由から、MOSFET (Field Effect Transistor) のソース領域及びドレイン領域のコンタクト面積について最小値がルール (規則) として決められており、この最小値のコンタクト面積をいう。

【0007】本発明に係る入力保護回路によると、FE

T のソース領域及びドレイン領域の各コンタクト面積を、CMOS 論理回路のプロセスで使用される最小ルール面積よりも大きく設定し、SOI 素子に発生する熱を、面積が大きくなったコンタクトを介して外部に放熱するため、放熱作用が向上し、熱による障害の発生を防止しうようになる。

【0008】

【実施例】以下、本発明の一実施例を図面に基づいて説明する。

10 【0009】一実施例に係る入力保護回路 1 は、図 2 に示すように、CMOS 論理回路 2 の入力側に設けられる。入力保護回路 1 は、2 つの直列接続された n チャネル MOSFET 3, 4 を備える。2 つの n チャネル MOSFET 3, 4 は、直流電源 VDD とグランド GND との間に接続されている。また、2 つの n チャネル MOSFET 3, 4 の接続点 a は、CMOS 論理回路 2 の入力端子 i2 に接続される。また、上記接続点 a と入力保護回路 1 の入力端子 i1 との間には、ポリシリコンからなる抵抗 5 が接続されている。

20 【0010】入力保護回路 1 は、CMOS 論理回路 2 と共に SOI 素子として構成される。入力保護回路 1 は、図 1 (A), (B) に示すような構造をしており、各 n チャネル MOSFET 3, 4 は、図 1 (B) に示すように、Si 基板 6 上の SiO₂ 膜 7 の上にソース領域 8、ドレイン領域 9 及びチャネル 10 が形成されている。ソース領域 8 及びドレイン領域 9 の上には、それぞれコンタクト 11, 12 が形成されている。また、チャネル 10 の上方には、SiO₂ 膜 13 で被覆されたゲート電極 14 が形成されている。

30 【0011】各コンタクト 11, 12 は、CMOS 論理回路 2 のコンタクトの最小ルール面積よりも大きい、例えば 2 倍程度の面積を有している。

【0012】次に、本実施例の動作を説明する。

【0013】入力端子 i1 とグランド GND との間に静電気による正のサージ電圧が印加されると、n チャネル MOSFET 4 には、逆方向電圧が印加されることになるため、パンチスルーにより、ドレイン領域 9、ソース領域 8 間に電流が流れ、結果として、入力端子 i1 から抵抗 5 及び n チャネル MOSFET 4 を順に経てグランド GND に、サージ電流が流れる。

40 【0014】また、入力端子 i1、グランド GND 間に静電気による負のサージ電圧が印加されると、n チャネル MOSFET 4 には、順方向電圧が印加されることになるため、n チャネル MOSFET 4 は、通常のオン動作を行ない、ドレイン領域 9、ソース領域 8 間に電流が流れ、結果として、グランド GND から n チャネル MOSFET 4 及び抵抗 5 を順に経て入力端子 i1 に、サージ電流が流れる。

【0015】サージ電流が n チャネル MOSFET 4 に流れたとき、n チャネル MOSFET 4 はサージエネルギー

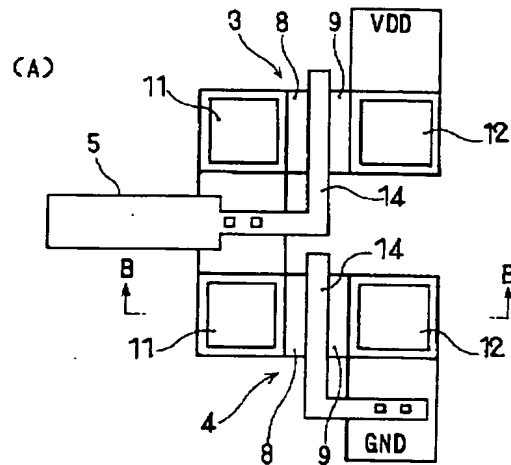
3

ギーにより発熱するが、nチャネルMOSFET 4のソース領域8及びドレイン領域9の各面積並びに各コンタクト11、12の面積が大きいため、発熱を効率良く外部に放出することができ、静電耐量が向上する。また、直流電源VDDとグラウンドGNDとの間の静電耐量についても、上記と同様な理由から向上する。

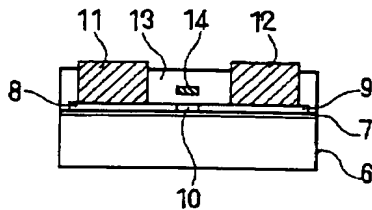
【0016】なお、本実施例では、各コンタクト11、12の面積を最小ルール面積よりも大きく設定したが、最小ルール面積のコンタクトを複数個並べる構成をとっても、上記と同様の効果を発揮できる。また、nチャネルMOSFET 3、4の代わりにpチャネルMOSFETを用いても、上記と同様の効果を発揮できる。

【図面の簡単な説明】

【図1】



(B)



4

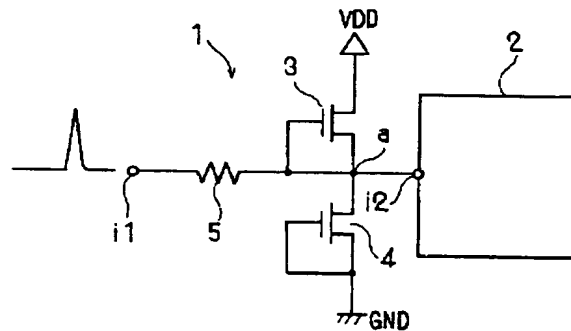
【図1】一実施例に係る入力保護回路の構造図であり、図1(A)は平面図、図1(B)は図1(A)図示B-B線による断面図

【図2】同入力保護回路の回路図

【符号の説明】

- 1 入力保護回路
- 2 CMOS論理回路
- 3 nチャネルMOSFET
- 4 pチャネルMOSFET
- 10 ソース領域
- 9 ドレイン領域
- 11, 12 コンタクト

【図2】



フロントページの続き

(51)Int.Cl.⁴

H 0 1 L 21/822
27/08
29/786

識別記号

庁内整理番号

F I

技術表示箇所

3 3 1 E

9056-4M
9056-4M

H 0 1 L 27/08
29/78

3 2 1 F
6 1 3 A
6 2 3 Z